

第78回

AIチップ設計拠点フォーラム with RISE-A ～チップレット最前線～

AIチップ設計拠点では、AIチップやLSI設計に関わる研究者、技術者の交流を深め、技術情報を共有する場としてフォーラムを月1回ペースで開催しております。本フォーラムは、発表者から公開情報をベースに話題提供いただき、それを題材に参加者が自由にオープンな議論をする場と考えております。この度、一般社団法人RISE-Aと共同でリアル・WEBのハイブリッドフォーラムを開催することいたしました。またテーマは今話題のチップレットに特化し、その最新の技術開発動向や実装にむけた取り組みなどを、各方面の専門家の方々にご講演頂く予定です。

そしてリアル参加者の方々には、フォーラム終了後にネットワーキングの場をご用意しております。半導体業界に関係される方々の交流を深めて頂き、今後この業界を一層盛り上げていくことに貢献できますと幸いです。本フォーラムへの皆様のご参加を心よりお待ちしております。

Application

下記お申込みフォームより
参加登録をお願いします



お問合せ

RISE-A事務局 甲斐
e-mail: info@rise-a.jp

2026 **1/30** 金 13:30>18:00
[開場 13:00] 事前登録制
参加費無料

| 定 員 | 会場 **150** 名 / オンライン **1,000** 名

| 会 場 | RISE GATE NIHONBASHI/オンライン

東京都中央区日本橋室町1丁目7-1 スルガビル7階

AIチップ設計拠点フォーラム with RISE-A ～チップレット最前線～

13:00～

開場（受付開始）

13:30～13:35

「AIチップ設計拠点フォーラムについて」

産業技術総合研究所 AIチップ設計拠点 拠点長 内山 邦男

13:35～14:10

「我が国の半導体政策について」

経済産業省 商務情報政策局 情報産業課 デバイス・半導体戦略室 室長補佐 西嶋 健人様

14:10～14:45

「HPCやAIの基盤となる2.5D/3D実装によるチップレット技術」

産業技術総合研究所 ハイブリッド機能集積研究部門 3D集積技術研究グループ 研究グループ長 菊地 克弥

14:45～15:00

休憩

15:00～15:35

「チップレット型カスタムSoC設計基盤技術の開発」

産業技術総合研究所 先端半導体研究センター 集積回路設計研究チーム 研究チーム長 日置 雅和

15:35～16:10

「チップレット車載半導体の開発」

自動車用先端SoC技術研究組合（ASRA）専務理事 川原 伸章様

16:10～16:20

休憩

16:20～16:55

「Scaling Open Compute: RISC-V, Chiplets, and the Future of AI and Robotics」

Tenstorrent Fellow 石井 康雄様 ※資料は英語、ご講演は日本語

16:55～17:10

～質疑応答セッション～

司会 内山 邦男

17:10～

ネットワーキング（リアル参加者対象）

Speaker



西嶋 健人様

経済産業省
商務情報政策局 情報産業課
デバイス・半導体戦略室 室長補佐

2017年3月 東京工業大学 工学部 電気電子学科 卒業
2019年3月 東京工業大学大学院工学院 電気電子系 修了
2019年4月 経済産業省 入省
2020年6月 商務情報政策局 情報産業課
2022年6月 福島復興推進グループ
2024年7月 商務情報政策局 情報産業課
2025年5月 現職



川原 伸章様

自動車用先端SoC技術研究組合
（ASRA）

1983年日本電装(株)（現デンソー）入社、研究開発部に
て半導体センサ、電子システムの研究開発に従事、2009年
情報安全事業部、エアコンECU、HMI、カメラ製品設計、
製品担当部長、2013年情報安全事業グループ欧州拠点
長、2015年デンソー基礎研究所所長、2020年MIRISE
Technologies（車載半導体先行開発会社）取締役、2023
年 自動車用先端SoC技術研究組合専務理事（兼務）
博士（工学）、電気学会フェロー。



菊地 克弥

産業技術総合研究所
ハイブリッド機能集積研究部門
3D集積技術研究グループ
研究グループ長

2001年 埼玉大学大学院 博士後期課程 情報数理科学専
攻 修了。博士（工学）。2001年から 産業技術総合研究所
エレクトロニクス研究部門 高密度SIグループ、以降、半導体
LSI実装技術における3次元集積実装技術をはじめとする
次世代の電子回路高密度実装技術、超高速・高周波回路
実装技術、およびその計測・評価技術の研究開発等に従
事。2015年同ナノエレクトロニクス研究部門 3D集積シス
テムグループ 研究グループ長。2025年同ハイブリッド機能
集積研究部門 3D集積技術研究グループ 研究グループ
長。現在は、半導体LSI実装技術における3次元集積実装
技術に加え、超伝導量子コンピュータの3次元集積実装
技術の研究開発に従事。



石井 康雄様

Tenstorrent Fellow

Yasuo Ishii is a Tenstorrent CPU Architecture Fellow,
leading the development of high-performance RISC-V
CPU cores and chiplet.
Prior to his current role, he contributed to the
development of multiple generations of high-per-
formance CPU cores at Arm, including the Neoverse-N
and Neoverse-V series, Cortex-A and Cortex-X series.
His dedication to CPU technologies is evidenced by
over 25 granted US patents and numerous pending
patent applications.



日置 雅和

産業技術総合研究所
先端半導体研究センター
集積回路設計研究チーム
研究チーム長

2003年東北大学大学院工学研究科電子工学専攻修
了。2003年独立行政法人産業技術総合研究所入所（エ
レクトロニクス研究部門）、低電力FPGAの回路設計に
従事。2012年経済産業省出向（情報通信機器課）。
2013年ナノエレクトロニクス研究部門主任研究員。
2019年AIチップデザインオープンイノベーションラボ
ラトリ AIチップ設計環境チーム長。2020年デバイス技術
研究部門 先端集積回路研究グループ長。2023年先端
半導体研究センター 集積回路設計研究チーム長。博士
（工学）。

Access

RISE GATE NIHONBASHI



103-0022 東京都中央区日本橋室町1丁目7-1 スルガビル7階
東京メトロ「三越前駅」から徒歩1分、JR「東京駅」から徒歩12分